

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
3. Juli 2003 (03.07.2003)

PCT

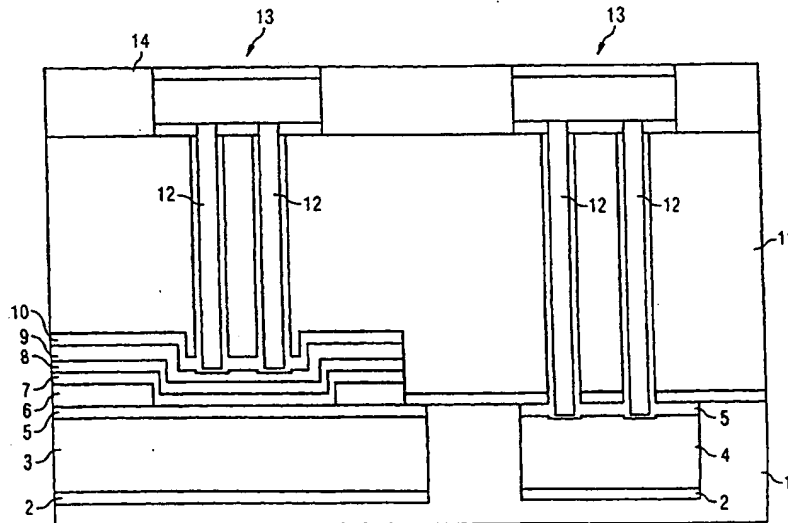
(10) Internationale Veröffentlichungsnummer
WO 03/054934 A1

- (51) Internationale Patentklassifikation⁷: H01L 21/02, 29/92, 21/768, H01G 4/12, 4/08 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81699 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP02/13804 (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): KOLLER, Klaus [DE/DE]; Erikastr. 12, 82110 Germering (DE). KÖRNER, Heinrich [DE/DE]; Föhrenstr. 31, 83052 Bruckmühl (DE). SCHRENK, Michael [DE/DE]; Seeweg Süd 68, 86911 Diessen am Ammersee (DE).
- (22) Internationales Anmeldedatum: 5. Dezember 2002 (05.12.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch (74) Anwälte: ZIMMERMANN & PARTNER usw.; Postfach 330 920, 80069 München (DE).
- (30) Angaben zur Priorität: 101 61 286.9 13. Dezember 2001 (13.12.2001) DE (81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED SEMICONDUCTOR PRODUCT COMPRISING A METAL-INSULATOR-METAL CAPACITOR

(54) Bezeichnung: INTEGRIERTES HALBLEITERPRODUKT MIT METALL-ISOLATOR-METALL-KONDENSATOR



(57) Abstract: To produce an integrated semiconductor product comprising an integrated metal-insulator-metal capacitor, a dielectric auxiliary layer (6) is first deposited on a first electrode (2, 3, 5). Said auxiliary layer (6) is then opened over the first electrode (15). A dielectric layer (7) is then created, onto which the stack (8, 9, 10) of metal strips for the second electrode is applied. The metal-insulator-metal capacitor is subsequently patterned using conventional etching technology. This allows the production of dielectric capacitor layers comprising freely selectable materials of any thickness. The particular advantage of the invention is that the etching of vias can be carried out in a significantly simpler manner than in prior art, as it is not necessary to etch through the remaining dielectric capacitor layer over the metal strips.

(57) Zusammenfassung: Zur Herstellung eines integrierten Halbleiterprodukts mit integrierten Metall-Isolator-Metall-Kondensator wird zunächst auf eine erste Elektrode (2, 3, 5) eine dielektrische Hilfsschicht (6) abgeschieden. Diese Hilfsschicht (6) wird dann über der ersten Elektrode geöffnet (15). Anschließend

[Fortsetzung auf der nächsten Seite]

WO 03/054934 A1



CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

wird eine dielektrische Schicht (7) erzeugt, auf die dann der Metallbahnstapel (8, 9, 10) für die zweite Elektrode aufgebracht wird. Danach erfolgt die Strukturierung des Metall-Isolator-Metall-Kondensators mit bekannten Ätzverfahren. Dadurch werden dielektrische Kondensatorschichten mit frei wählbaren Materialien in beliebiger Dicke ermöglicht. Insbesondere besitzt die vorliegende Erfindung den Vorteil, dass Via-Ätzungen deutlich einfacher als nach dem Stand der Technik durchgeführt werden können, da kein Durchätzen der restlichen, dielektrischen Kondensatorschicht über den Metallbahnen notwendig ist.

Beschreibung

Integriertes Halbleiterprodukt mit Metall-Isolator-Metall-Kondensator

5

Die vorliegende Erfindung betrifft ein integriertes Halbleiterprodukt mit Leiterbahnen und einem Metall-Isolator-Metall-Kondensator. Die vorliegende Erfindung betrifft insbesondere ein integriertes Halbleiterprodukt mit Leiterbahnen,
10 die als wesentlichen Bestandteil Aluminium aufweisen.

Hochfrequenzschaltungen in BIPOLAR-, BICMOS- und CMOS-Technologie benötigen integrierte Kondensatoren mit hoher Spannungslinearität, genau einstellbaren Kapazitätswerten und
15 vor allem niedrigen parasitären Kapazitäten. Die bisher eingesetzten konventionellen MOS- bzw. MIS-Kondensatoren weisen aufgrund spannungsinduzierter Raumladungszonen eine ungenügende Spannungslinearität auf. Der geringe Abstand zum Substrat bringt außerdem zahlreiche parasitäre Kapazitäten mit
20 sich.

Diese Schwierigkeiten lassen sich durch den Einsatz sogenannter Metall-Isolator-Metall-Kondensatoren (MIM-Kondensatoren) umgehen, die üblicherweise zwischen zwei Metallisierungsebenen angeordnet sind und die somit einen deutlich größeren Abstand zum Substrat aufweisen. Dabei sollen diese Metall-Isolator-Metall-Kondensatoren möglichst ohne Veränderung und Beeinflussung der benachbarten Leiterbahnen in die vorhandenen Konzepte für eine Mehrlagenmetallisierung
30 integriert werden.

Bisherige Ansätze, wie sie etwa aus den Druckschriften US 5,946,567, EP 0 800 217 A1 und EP 1 130 654 A1 sowie dem Artikel "High Density Metal Insulator Metal Capacitors Using
35 PECVD Nitride for Mixed Signal and RF Circuits", IITC, S. 245-247, IEEE (1999) von Kar-Roy et al. bekannt sind, verwenden die in der Mikroelektronik bekannten und gut charakteri-

sierten Materialien Siliziumdioxid bzw. Silizium-Nitrid als Dielektrikum. Jedoch liegen die Dielektrizitätskonstanten k dieser Materialien mit Werten von ca. vier bzw. sieben nicht sonderlich hoch. Weiterhin müssen sie wegen der Anwendung in der Mehrlagenmetallisierung in Plasma- (PECVD-) Verfahren abgeschieden werden. Diese Verfahren zeichnen sich typischerweise durch hohe Abscheideraten, aber auch durch hohe Defektdichten und mindere Schichtqualität aus. Daher lassen sich in Plasmaverfahren praktisch keine Schichten unter 60 nm mit reproduzierbarer Dicke und ausreichender Qualität herstellen.

Bei den oben zitierten Integrationskonzepten erfolgt außerdem die Strukturierung der Top-Elektrode mit Hilfe einer Top-Elektroden-Ätzung, die in dem Dielektrikum des Kondensators gestoppt werden muß. Aus diesem Grund erfordern diese Verfahren zwingend eine Dielektrikumsschicht mit einer ausreichenden Dicke von mindestens 60 nm.

Ausgangspunkt für die Herstellung eines MIM-Kondensators nach dem Stand der Technik ist der in Figur 4 gezeigte Stapel. Dabei ist auf ein Substrat 1 eine Haftschrift 2 aus Ti, eine Leiterbahn 3 aus Al und eine Anti-Reflex-Coating (ARC)-Schicht 5 aus Ti/TiN abgeschieden. Dieser Stapel hat gleichzeitig die Funktion einer ersten Elektrode. Auf diesem Stapel ist eine dielektrische Schicht 6 aufgebracht. Über der dielektrischen Schicht 6 ist der Metallstapel für die zweite Elektrode abgeschieden. Er besteht aus zwei TiN(Ti)-Schichten 8, 10 und einer dazwischen liegenden Al-Schicht 9. Figur 5 zeigt ein Prozeßstadium, in dem bereits die zweite Elektrode 8, 9, 10 und das Dielektrikum 6 strukturiert worden sind. Wie man an der Ätzkante 16 erkennen kann, dient hierbei das Dielektrikum 6 im Bereich außerhalb der zweiten Elektrode 8, 9, 10 als Ätzstop.

Die flächenspezifische Kapazität solcher bekannter Kondensatoren liegt um $1 \text{ fF}/\mu\text{m}^2$; für zukünftige Hochfrequenzanwendungen ist jedoch ein Mehrfaches dieses Wertes erforder-

lich. Die flächenspezifische Kapazität eines Kondensators wird im wesentlichen durch die Dicke der dielektrischen Trennschicht und den Wert der Dielektrizitätskonstante bestimmt. Eine Erhöhung der flächenspezifischen Kapazität eines
5 Kondensators kann deshalb durch die Verwendung von Dielektrika mit einer hohen Dielektrizitätskonstante (>8) erreicht werden. Weiterhin führen auch Isolationsschichten, die dünner als 60 nm sind, zu einer Erhöhung der flächenspezifischen Kapazität.

10

Ausgehend vom beschriebenen Stand der Technik liegt der Erfindung die Aufgabe zugrunde, ein verbessertes integriertes Halbleiterprodukt mit Leiterbahnen und einem Metall-Isolator-Metall-Kondensator zu schaffen und ein Verfahren zu dessen
15 Herstellung anzugeben.

Diese Aufgabe wird durch ein integriertes Halbleiterprodukt nach Anspruch 1 und ein Verfahren nach Anspruch 11 gelöst. Weitere vorteilhafte Ausgestaltungen und Aspekte der
20 Erfindung sind in den abhängigen Ansprüchen, der Beschreibung sowie in den beiliegenden Figuren angegeben.

Erfindungsgemäß wird ein integriertes Halbleiterprodukt mit Leiterbahnen, welche als wesentlichen Bestandteil Aluminium aufweisen, bereitgestellt, das zumindest einen Metall-
25 Isolator-Metall-Kondensator aufweist, der eine erste Elektrode, eine dielektrische Schicht und eine zweite Elektrode umfaßt. Die dielektrische Schicht ist dabei in einer über der ersten Elektrode angeordneten Öffnung einer dielektrischen
30 Hilfsschicht angeordnet.

Weiterhin wird ein Verfahren zur Herstellung eines integrierten Halbleiterprodukts mit Leiterbahnen, welche als wesentlichen Bestandteil Aluminium aufweisen, und zumindest einem
35 Metall-Isolator-Metall-Kondensator, der eine erste Elektrode, eine dielektrische Schicht und eine zweite Elektrode

umfaßt, bereitgestellt. Das Verfahren umfaßt die folgenden Schritte:

- 5 (a) die erste Elektrode wird in einer Schicht erzeugt,
 die auch als Schicht für Leiterbahnen vorgesehen
 ist;
- (b) eine dielektrische Hilfsschicht wird aufgebracht;
- 10 (c) die dielektrische Hilfsschicht wird über der ersten
 Elektrode geöffnet;
- (d) die dielektrischen Schicht für den Kondensator wird
 erzeugt;
- 15 (e) die zweite Elektrode wird erzeugt.

Das hier vorgestellte Konzept eignet sich insbesondere, aber nicht ausschließlich, zur Integration von MIM-
20 Kondensatoren mit dünnen Dielektrika ohne die Zuverlässigkeit der übrigen Metallbahnen signifikant zu verändern. Die Zuverlässigkeit der übrigen Metallbahnen bleibt im wesentlichen unverändert, da insbesondere keine Reste der dielektrischen Kondensatorschicht auf den übrigen Metallbahnen vorhanden
25 ist. Außerdem ist das Verfahren gemäß der vorliegenden Erfindung bezüglich der einzelnen Prozeßschritte relativ unkritisch zu realisieren und erlaubt größere Freiheiten in der Auswahl von Materialien und deren Dicke. Insbesondere besitzt das Verfahren gemäß der vorliegenden Erfindung den Vorteil,
30 daß Via-Ätzungen deutlich einfacher als nach dem Stand der Technik durchgeführt werden können, da kein Durchätzen der restlichen, dielektrischen Kondensatorschicht über den Metallbahnen notwendig ist.

35 Der Metall-Isolator-Metall-Kondensator weist eine erste Elektrode auf, die in einer Metallebene für Leiterbahnen ausgebildet ist. Da die dielektrische Zwischenschicht und die

Metallisierungsschicht für die zweite Elektrode dünn gehalten werden kann, kann der Metall-Isolator-Metall-Kondensator ohne große Schwierigkeiten in ein bestehendes Konzept zur Herstellung eines integrierten Halbleiterprodukts mit passiven Halbleiterprodukten integriert werden.

Zweckmäßigerweise wird der Metall-Isolator-Metall-Kondensator dadurch hergestellt, daß auf ein Substrat eine Metallschicht für Leiterbahnen aufgebracht wird. Diese Schicht kann insbesondere auch eine Linerschicht und eine ARC-Schicht umfassen. Nachfolgend wird auf die Metallschicht für Leiterbahnen eine dielektrische Hilfsschicht abgeschieden. Sie dient als partielle Opferschicht und spielt nicht die Rolle des MIM-Dielektrikums, sondern wird Teil des später aufgetragenen Intermetall-Dielektrikums (IMD). Mit den bekannten Methoden der Lithographie und Ätztechnik wird die dielektrische Schicht an jenen Stellen, an denen die Integration eines MIM-Kondensators vorgesehen ist, entfernt. Dabei ist es insbesondere bevorzugt, wenn eine entsprechende Ätzung selektiv auf der unteren Elektrode stoppt. Auf die entsprechend strukturierte Oberfläche wird eine Dielektrikumsschicht aus frei wählbarem Material und beliebiger Dicke abgeschieden. Nachfolgend werden die Materialien, die die zweite Elektrode bilden, aufgebracht und entsprechend strukturiert.

Damit ist die Möglichkeit eröffnet, eine extrem dünne dielektrische Schicht per ALD (atomic layer deposition) atomlagenweise abzuscheiden. Besonders ideale Aufwuchsbedingungen für mittels ALD abzuscheidende Dielektrika erhält man, wenn das Substrat nach Öffnung der Hilfsschicht in einem sauerstoffhaltigen Ambiente oberflächlich leicht anoxidiert wird.

Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird vor Schritt (d) auf die erste Elektrode eine leitende Barriere aufgebracht. Dabei ist es insbesondere bevorzugt, wenn die leitende Barriere selektiv nur auf die freiliegende erste Elektrode aufgebracht wird.

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der beigefügten Zeichnungen erläutert. Es zeigen:

5

Figur 1 einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt, das einen Metall-Isolator-Metall-Kondensator enthält, gemäß einem Ausführungsbeispiel der Erfindung.

10

Figur 2 einen Ausschnitt aus einem Querschnitt durch einen Metallbahnstapel, wie er für die erste Elektrode eines MIM-Kondensators gemäß einem Ausführungsbeispiel der vorliegenden Erfindung verwendet wird, und einer auf dem Stapel abgeschiedenen dielektrischen Hilfsschicht, wobei die dielektrische Hilfsschicht bereits über der ersten Elektrode geöffnet ist.

15

Figur 3 einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt mit einem integrierten Metall-Isolator-Metall-Kondensator gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

20

Figur 4 einen Ausschnitt aus einem Querschnitt durch einen Schichtstapel, wie er für die Herstellung eines MIM-Kondensators nach dem Stand der Technik verwendet wird.

25

Figur 5 den Ausschnitt von Figur 4 nach erfolgter Strukturierung der zweiten Elektrode.

30

Figur 2 zeigt einen Metallbahnstapel mit einer Hafts-
schicht 2 aus Ti, einer Leiterbahn 3 aus AlCu und einer Anti-
35 Reflex-Coating(ARC)-Schicht 5 wie er auch im entsprechenden
Stand der Technik verwendet wird. Dabei soll die Leiterbahn 3
auch als untere MIM-Elektrode fungieren. Auf den Metallbahn-

stapel 2, 3, 5 wird eine dielektrische Hilfsschicht 6 aus z.B. SiO_2 oder Si_3N_4 von ca. 50-100 nm Dicke mit bekannten, metallisierungskompatiblen Verfahren abgeschieden. Sie dient als partielle Opferschicht und spielt nicht die Rolle eines MIM-Dielektrikums sondern wird Teil des später aufgetragenen Intermetall-Dielektrikums (IMD). Mit den bekannten Methoden der Lithographie und Ätztechnik wird die dielektrische Hilfsschicht an der Stelle 15, an der die Integration eines MIM-Kondensators vorgesehen ist, entfernt.

10

Figur 3 zeigt den MIM-Kondensator nach erfolgter Abscheidung und Strukturierung des MIM-Dielektrikums 7 und der oberen Elektrode 8, 9, 10. Auf die geöffnete dielektrische Hilfsschicht 6 wird nun eine dielektrische Schicht 7 beispielsweise aus Al_2O_3 mit einer Dicke von 20 nm erzeugt. Dies ist jedoch nicht zwingend, da das Dielektrikum 7 frei wählbar ist und in beliebiger Dicke abgeschieden werden kann. Vor der Abscheidung des Dielektrikums kann weiterhin eine leitende Barriere (nicht gezeigt) auf die ersten Elektrode aufgebracht werden. Dabei ist es insbesondere bevorzugt, wenn die leitende Barriere selektiv nur auf die freiliegende erste Elektrode aufgebracht wird.

Da ein Integrationsweg gemäß diesem Ausführungsbeispiel keine Mindestanforderungen an Dicke, Ätzverhalten und andere Eigenschaften der dielektrischen Schicht 7 stellt, sind beliebige Verfahren zu ihrer Erzeugung einsetzbar wie CVD, PECVD, MOCVD, und PVD, solange die Schichten bei Temperaturen unter 400°C erzeugt werden können. Die dielektrische Schicht 7 kann auch mit Hilfe einer Oxidation der Oberfläche der unteren Elektrode oder mit Hilfe der Oxidation einer dafür vorgesehenen Schicht (z.B. TaN) auf der unteren Elektrode erzeugt werden. Weiterhin ist die Möglichkeit eröffnet, die dielektrische Schicht 7 per ALD (atomic layer deposition) abzuscheiden. Dieses Verfahren erlaubt es, mittels atomlagenweiser Abscheidung extrem dünne Schichten herzustellen. Das erfindungsgemäße Verfahren eröffnet den Zugang zu Kondensato-

ren mit spezifischen Kapazitäten von 3 fF/pm^2 bis deutlich über 10 fF/pm^2 , die mit den bisherigen Ansätzen nicht mit ausreichender Qualität reproduzierbar hergestellt werden konnten.

5

Ideale Aufwuchsbedingungen für mittels ALD abzuscheidende Dielektrika erhält man, wenn das Substrat nach Öffnung der Opferschicht 6 in einem sauerstoffhaltigen Ambiente oberflächlich leicht anoxidiert wird. Das dadurch in der ARC-Schicht 5 erzeugte native Oxid bietet ähnliche gute Voraussetzungen für die Abscheidung beliebiger Oxide wie die benachbarte dielektrische Hilfsschicht 6, so daß die gewünschten Oxidschichten hierauf spontan, reproduzierbar, dicht und mit höchster Qualität aufwachsen.

15

Nachfolgend werden die Materialien für die obere Elektrode aufgebracht. Diese umfassen wiederum leitende Barrieren 8, 10, die beispielweise TiN beinhalten können. Dazwischen ist eine metallische Schicht 9 angeordnet, die beispielsweise AlCu beinhalten kann. Die durch die vorausgegangene Öffnung 15 der ersten dielektrischen Schicht 6 erzeugte Topologie ist relativ gering: Die Kantenlänge der unteren Elektroden ist größer $1 \mu\text{m}$ und die Stufenhöhe beträgt ca. $50 - 100 \text{ nm}$. Die Topologie kann daher von den gewählten Abscheideverfahren gut 25 bedeckt werden.

Anschließend erfolgt die Ätzung des Stapels aus der oberen Elektrode 8, 9, 10 der dielektrischen Schicht 7 und der Hilfsschicht 6. Dabei sind an die auf der unteren Metallbahn 30 2, 3, 5 verbleibende Restdicke der dielektrischen Hilfsschicht 6 und damit an die Selektivität des Ätzprozesses keine besonderen Anforderungen gestellt. Dadurch entsteht im Gegensatz zu den beschriebenen und dazu ähnlichen Konzepten ein sehr großes Prozeßfenster für die gesamte Vorgehensweise bei 35 gleichzeitiger freier Wahl des Dielektrikums 7 und seiner Dicke.

Darauffolgend wird ein oberes Intermetall-Dielektrikum 11 abgeschieden. Etwaige Reste der dielektrischen Hilfs-
schicht 6 werden nun einfach ein Teil dieses IMDs 11. Zur
Kontaktierung des Kondensators und der unteren Leiterbahn 4
5 werden Vias 12 ausgebildet, die an ihrem oberen Ende mit o-
beren Leiterbahnen 13 verbunden sind. Diese oberen Leiterbahnen
13 sind wiederum in ein Intermetall-Dielektrikum 14 eingebet-
tet. Dabei können die Via-Ätzungen deutlich einfacher als
nach dem Stand der Technik durchgeführt werden, da kein
10 Durchätzen der restlichen, dielektrischen Kondensatorschicht
über den Metallbahnen notwendig ist.

Die im obigen Ausführungsbeispiel beschriebenen Metall-
sierungs- und Plattenkondensator-Materialien sind beispiel-
15 haft und nicht auf diese beschränkt. Insbesondere sind alle
leitenden Materialien wie Si, W, Cu, Ag, Au, Ti, Pt und Le-
gierungen davon als Leiterbahnen einsetzbar. Als alternative
Barrieren bzw. Linerschichten eignen sich neben Ti und TiN
insbesondere auch TiW, W, WN_x mit $0 \leq x \leq 2$, Ta, TaN, Silizide
20 und Karbide. Als Elektroden lassen sich alle genannten Mate-
rialien und deren Kombinationen verwenden. Neben den klassi-
schen Dielektrika der Halbleitertechnologie SiO_2 und Si_3N_4
steht die gesamte Palette an Materialien mit deutlich höherem
k zur Verfügung, insbesondere Al_2O_3 , ZrO_2 , HfO_2 , Ta_2O_5 , La_2O_3 ,
25 TiO_2 sowie die jeweiligen Mischoxide, Oxinitride und Silikate
hieraus, $SrTiO_3$, $Ba_xSr_{1-x}TiO_3$ mit $0 \leq x \leq 1$ (BST) und $PbZr_xTi_{1-x}O_3$
mit $0 \leq x \leq 1$ (PZT).

Patentansprüche

1. Integriertes Halbleiterprodukt mit Leiterbahnen, welche als wesentlichen Bestandteil Aluminium aufweisen, und zu-

mindest einem Metall-Isolator-Metall-Kondensator, der ei-

ne erste Elektrode (2, 3, 5), eine dielektrische Schicht

(7) und eine zweite Elektrode (8, 9, 10) umfaßt,

dadurch gekennzeichnet, daß

die dielektrische Schicht (7) in einer über der ersten

Elektrode angeordneten Öffnung (15) einer dielektrischen

Hilfsschicht (6) angeordnet ist.
2. Halbleiterprodukt nach Anspruch 1,

dadurch gekennzeichnet, daß

die dielektrische Schicht (7) mindestens einen der fol-

genden Stoffe beinhaltet: Al_2O_3 , HfO_2 , La_2O_3 , Ta_2O_5 , TiO_2 ,

ZrO_2 sowie alle Mischoxide, Oxinitride und Silikate hier-

aus, SrTiO_3 , $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ mit $0 \leq x \leq 1$ (BST), $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ mit

$0 \leq x \leq 1$ (PZT), SiO_2 , Si_3N_4 .
3. Halbleiterprodukt nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß

die erste und/oder die zweite Elektrode ein Stapel aus

Metallschichten (3, 9) und leitenden Barrieren (2, 5, 8,

10) ist.
4. Halbleiterprodukt nach einem der Ansprüche 1 bis 3,

dadurch gekennzeichnet, daß

die erste und/oder die zweite Elektrode zusätzlich zu dem

Aluminium wenigstens eines der folgenden Metalle beinhal-

tet: Si, W, Cu, Au, Ag, Ti, Pt.
5. Halbleiterprodukt nach einem der Ansprüche 1 bis 4

dadurch gekennzeichnet, daß

die Barrieren (2, 5, 8, 10) mindestens einen der folgen-

den Stoffe beinhalten: Ta, TaN, TiW, W, WN_x mit $0 < x < 2$, Ti,

TiN, Silizide, Karbide.

6. Halbleiterprodukt nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
die dielektrische Schicht (7) von einem dielektrischen
Material mit einer Dielektrizitätskonstante > 8 gebildet
ist.
7. Halbleiterprodukt nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, daß
die dielektrische Schicht (7) nach einem der folgenden
Verfahren aufgebracht ist: CVD, PECVD, MOCVD, PVD, ALD.
8. Halbleiterprodukt nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
die dielektrische Schicht (7) durch eine Oxidation der
Oberfläche der ersten Elektrode oder durch eine Oxidation
einer Schicht auf der ersten Elektrode erzeugt wird.
9. Halbleiterprodukt nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
die Dicke der dielektrischen Schicht (7) geringer als 60
nm ist.
10. Halbleiterprodukt nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
die flächenspezifische Kapazität des Kondensators minde-
stens $3 \text{ fF}/\mu\text{m}^2$ beträgt.
11. Verfahren zur Herstellung eines integrierten Halbleiter
produkts mit Leiterbahnen, welche als wesentlichen Be-
standteil Aluminium aufweisen, und zumindest einem Me-
tall-Isolator-Metall-Kondensator, der eine erste Elektro-
de (2, 3, 5), eine dielektrische Schicht (7) und eine
zweite Elektrode (8, 9, 10) umfaßt, mit folgenden Schrit-
ten:

- (a) die erste Elektrode wird in einer Schicht erzeugt, die auch als Schicht für Leiterbahnen vorgesehen ist;
- 5 (b) eine dielektrische Hilfsschicht (6) wird aufgebracht;
- (c) die dielektrische Hilfsschicht (6) wird über der ersten Elektrode geöffnet;
- 10 (d) die dielektrischen Schicht (7) für den Kondensator wird erzeugt;
- (e) die zweite Elektrode wird erzeugt.
- 15 12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß für die erste Elektrode eine Linerschicht (2), eine Metallschicht (3) und eine ARC-Schicht (5) aufgebracht wird.
- 20 13. Verfahren nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß für die zweite Elektrode zwei leitende Barrieren (8, 10) und eine dazwischen angeordnete Metallschicht (9) aufgebracht werden.
- 25 14. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, daß zur Erzeugung der dielektrischen Schicht (7) eines der folgenden Verfahren verwendet wird: CVD, PECVD, MOCVD, PVD, ALD.
- 30 15. Verfahren nach einem der Ansprüche 11 bis 14, dadurch gekennzeichnet, daß
- 35

zur Erzeugung der dielektrischen Schicht (7) die Oberfläche der ersten Elektrode oder eine Schicht auf der ersten Elektrode oxidiert wird.

- 5 16. Verfahren nach einem der Ansprüche 11 bis 15
dadurch gekennzeichnet, daß
die Öffnung (15) über der ersten Elektrode einem sauerstoffhaltigen Atmosphäre ausgesetzt wird.
- 10 17. Verfahren nach einem der Ansprüche 11 bis 16,
dadurch gekennzeichnet, daß
die dielektrische Hilfsschicht (6) Teil eines nach dem Erzeugen der zweiten Elektrode abgeschiedenen oberen Intermetall-Dielektrikums (11) wird.
- 15 18. Verfahren nach einem der Ansprüche 11 bis 17,
dadurch gekennzeichnet, daß
über dem oberen Intermetall-Dielektrikum (11) eine weitere Metallisierungsschicht für obere Leiterbahnen (13) abgeschieden wird.
- 20 19. Verfahren nach einem der Ansprüche 11 bis 18,
dadurch gekennzeichnet, daß
zumindest eine obere Leiterbahn 13 über zumindest einen
25 Via (12) mit dem Kondensator verbunden wird.
20. Verfahren nach einem der Ansprüche 11 bis 19,
dadurch gekennzeichnet, daß
vor Schritt (d) auf die erste Elektrode eine leitende
30 Barriere aufgebracht wird.
21. Verfahren nach Anspruch 21,
dadurch gekennzeichnet, daß
vor Schritt (d) auf die erste Elektrode eine leitende
35 Barriere selektiv aufgebracht wird.

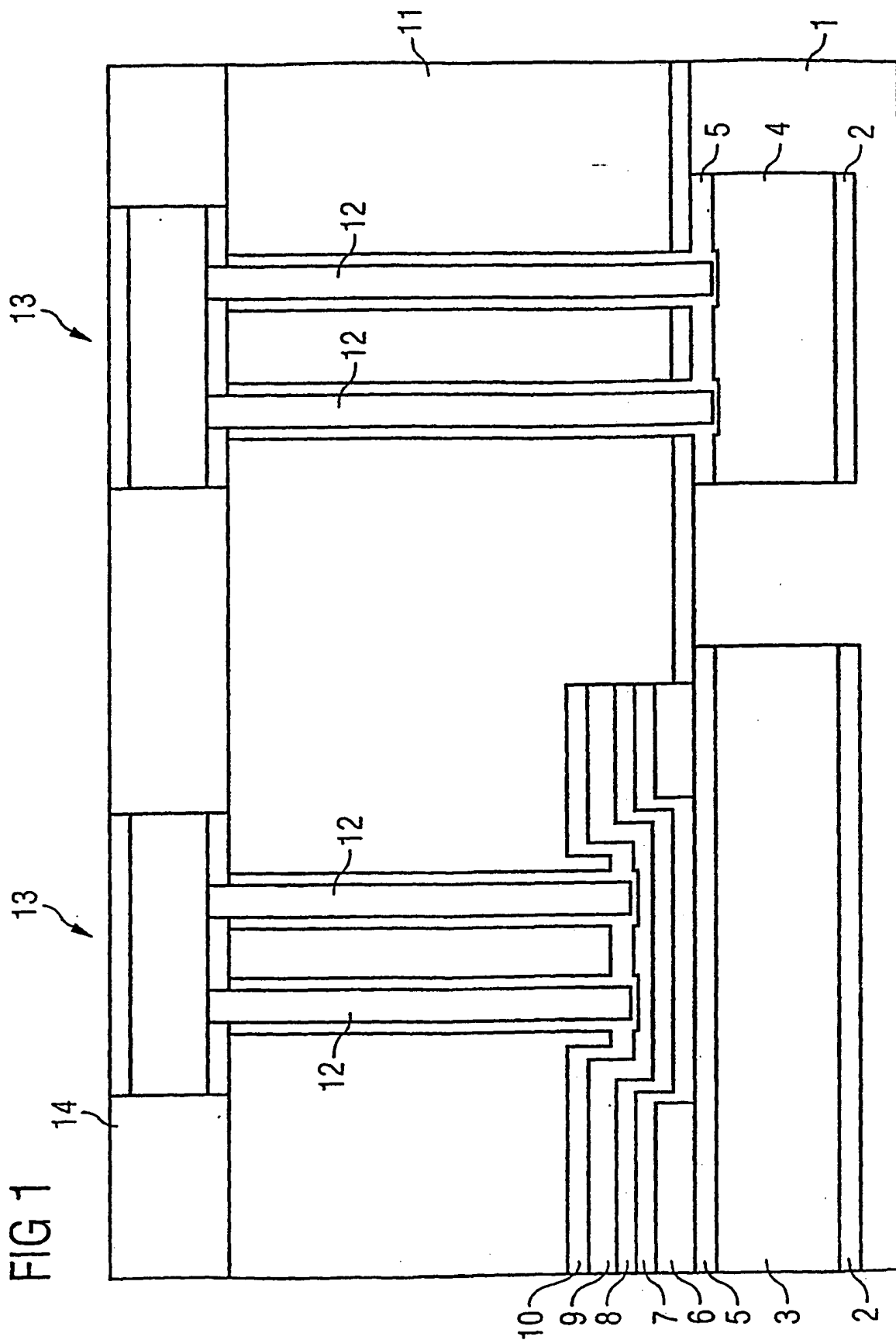


FIG 2

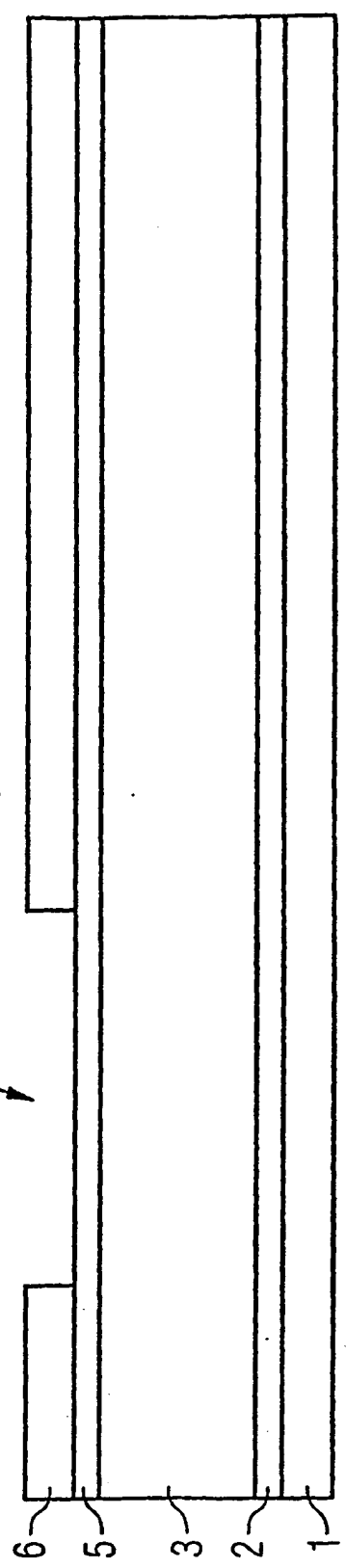


FIG 3

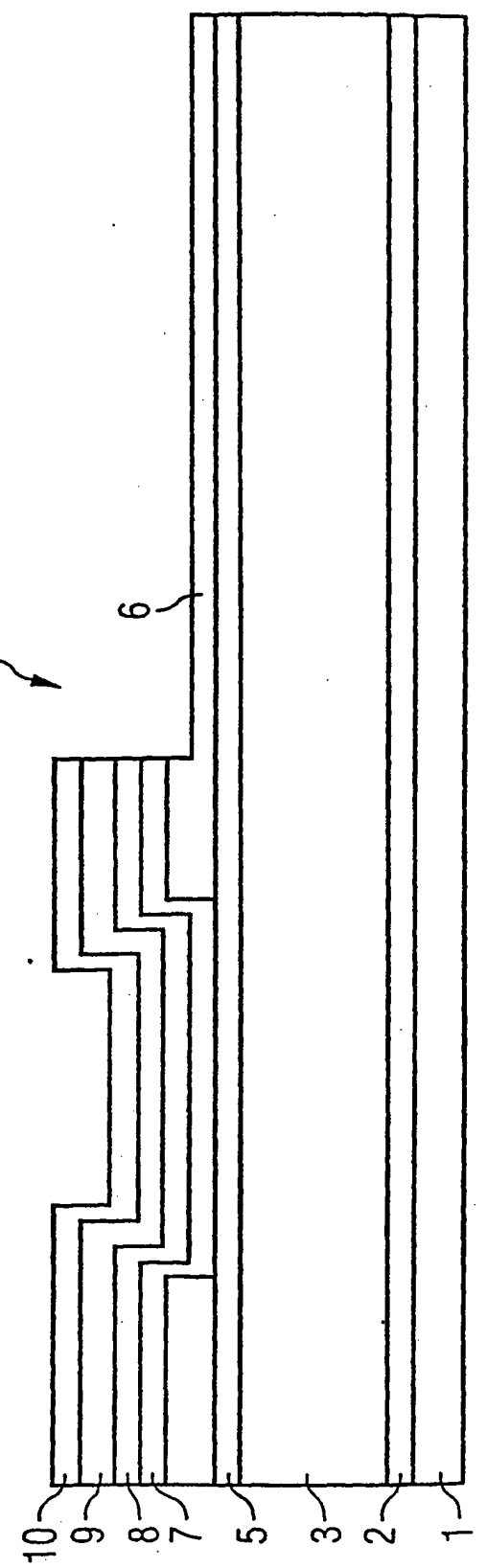


FIG 4

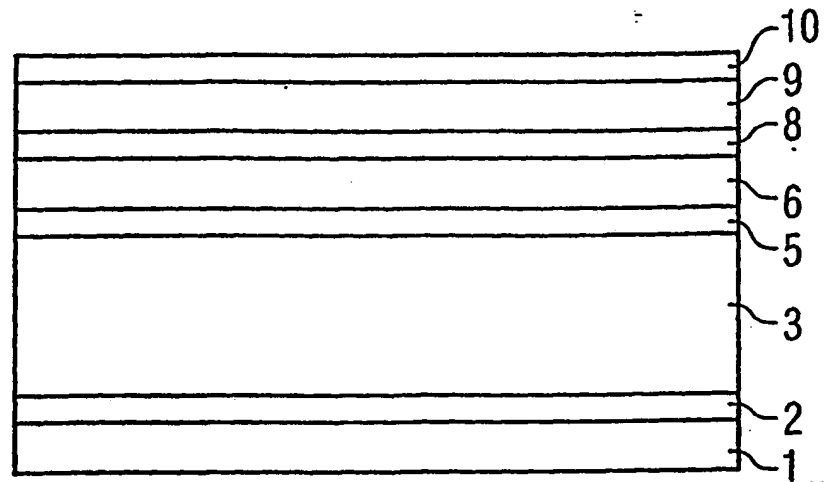
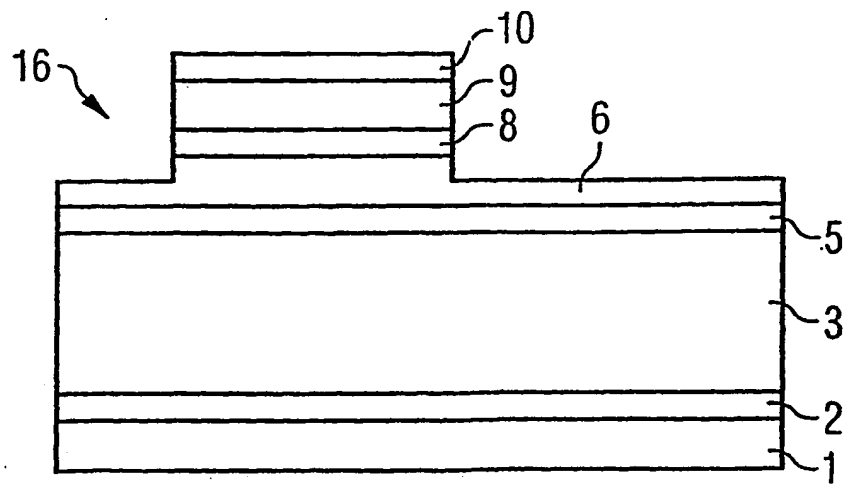


FIG 5



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 02/13804

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/02 H01L29/92 H01L21/768 H01G4/12 H01G4/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 166 423 A (GAMBINO JEFFREY P ET AL) 26 December 2000 (2000-12-26) column 2, line 46 - line 60 column 3, line 25 - line 48; figure 3 column 4, line 4 - line 12 column 4, line 22 - line 34 column 5, line 10 - line 45 column 5, line 46 - line 52; figure 28 column 5, line 58 - column 6, line 57; figures 4-8 column 7, line 8 - line 21; figures 9,10 column 7, line 30 - line 59; figures 11-13 column 8, line 3 - line 15; figure 15 column 8, line 41 - line 43; figures 17-20 column 8, line 47 - column 9, line 16; figures 21-28	1-7,9, 11-14, 17-20
Y	-/--	8,10,15, 16,21

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

17 March 2003

Date of mailing of the international search report

25/03/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Klopfenstein, P

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>-----</p> <p>PATENT ABSTRACTS OF JAPAN vol. 2000, no. 11, 3 January 2001 (2001-01-03) -& JP 2000 228497 A (SAMSUNG ELECTRONICS CO LTD), 15 August 2000 (2000-08-15) abstract paragraph '0020! - paragraph '0022!; figures 4,9,12 paragraph '0025! - paragraph '0030!; figures 4-6 paragraph '0039! - paragraph '0049!; figures 9-11</p>	1-6,11
A		7,9,10, 12-14
X	<p>-----</p> <p>US 5 674 771 A (MACHIDA KATSUYUKI ET AL) 7 October 1997 (1997-10-07) column 2, line 27 - line 52 column 4, line 10 - line 43 column 4, line 55 -column 5, line 11; figure 5 column 5, line 33 - line 63; figures 7A-7C column 5, line 65 -column 6, line 39; figures 8,9A-9C</p>	1-5,7, 11,14
A		6,8-10, 12,13,15
X	<p>-----</p> <p>US 5 918 135 A (LEE KI-YOUNG ET AL) 29 June 1999 (1999-06-29) column 4, line 12 - line 58; figures 5-8 column 5, line 17 - line 25; figure 9</p>	1-5,7,9, 11,14
A		12,13
Y	<p>-----</p> <p>PATENT ABSTRACTS OF JAPAN vol. 1999, no. 13, 30 November 1999 (1999-11-30) -& JP 11 233723 A (SONY CORP), 27 August 1999 (1999-08-27) abstract paragraph '0010! - paragraph '0011! paragraph '0018! - paragraph '0020!; figures 1,5</p>	8,10,15, 16,21
A	<p>-----</p> <p>EP 0 800 217 A (IBM) 8 October 1997 (1997-10-08) cited in the application column 1, line 3 - line 16 column 1, line 26 - line 31 column 2, line 5 - line 26 column 3, line 3 -column 4, line 51; figures 1-5 column 5, line 39 - line 46</p> <p>-----</p>	1-7, 9-14, 17-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 02/13804

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6166423	A	26-12-2000	US 6025226 A	15-02-2000
JP 2000228497	A	15-08-2000	KR 2000055260 A	05-09-2000
			JP 3141887 B2	07-03-2001
US 5674771	A	07-10-1997	JP 2704575 B2	26-01-1998
			JP 5299581 A	12-11-1993
			JP 2707017 B2	28-01-1998
			JP 5299582 A	12-11-1993
			JP 2704576 B2	26-01-1998
			JP 5299583 A	12-11-1993
US 5918135	A	29-06-1999	KR 267087 B1	02-10-2000
			JP 10209375 A	07-08-1998
JP 11233723 7	A		NONE	
EP 0800217	A	08-10-1997	US 5926359 A	20-07-1999
			DE 69712968 D1	11-07-2002
			DE 69712968 T2	16-01-2003
			EP 0800217 A1	08-10-1997
			JP 3371400 B2	27-01-2003
			JP 10012819 A	16-01-1998
			KR 229578 B1	15-11-1999
			TW 385513 B	21-03-2000

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/02 H01L29/92 H01L21/768 H01G4/12 H01G4/08

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>US 6 166 423 A (GAMBINO JEFFREY P ET AL) 26. Dezember 2000 (2000-12-26)</p> <p>Spalte 2, Zeile 46 - Zeile 60 Spalte 3, Zeile 25 - Zeile 48; Abbildung 3 Spalte 4, Zeile 4 - Zeile 12 Spalte 4, Zeile 22 - Zeile 34 Spalte 5, Zeile 10 - Zeile 45 Spalte 5, Zeile 46 - Zeile 52; Abbildung 28 Spalte 5, Zeile 58 - Spalte 6, Zeile 57; Abbildungen 4-8 Spalte 7, Zeile 8 - Zeile 21; Abbildungen 9, 10 Spalte 7, Zeile 30 - Zeile 59; Abbildungen 11-13 Spalte 8, Zeile 3 - Zeile 15; Abbildung 15 Spalte 8, Zeile 41 - Zeile 43; Abbildungen 17-20</p> <p style="text-align: center;">-/--</p>	<p>1-7,9, 11-14, 17-20</p>

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. März 2003

Absenddatum des internationalen Recherchenberichts

25/03/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Klopfenstein, P

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	Spalte 8, Zeile 47 - Spalte 9, Zeile 16; Abbildungen 21-28	8,10,15, 16,21
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 11, 3. Januar 2001 (2001-01-03) -& JP 2000 228497 A (SAMSUNG ELECTRONICS CO LTD), 15. August 2000 (2000-08-15) Zusammenfassung Absatz '0020! - Absatz '0022!; Abbildungen 4,9,12 Absatz '0025! - Absatz '0030!; Abbildungen 4-6 Absatz '0039! - Absatz '0049!; Abbildungen 9-11	1-6,11
A		7,9,10, 12-14
X	US 5 674 771 A (MACHIDA KATSUYUKI ET AL) 7. Oktober 1997 (1997-10-07) Spalte 2, Zeile 27 - Zeile 52 Spalte 4, Zeile 10 - Zeile 43 Spalte 4, Zeile 55 - Spalte 5, Zeile 11; Abbildung 5 Spalte 5, Zeile 33 - Zeile 63; Abbildungen 7A-7C Spalte 5, Zeile 65 - Spalte 6, Zeile 39; Abbildungen 8,9A-9C	1-5,7, 11,14
A		6,8-10, 12,13,15
X	US 5 918 135 A (LEE KI-YOUNG ET AL) 29. Juni 1999 (1999-06-29) Spalte 4, Zeile 12 - Zeile 58; Abbildungen 5-8 Spalte 5, Zeile 17 - Zeile 25; Abbildung 9	1-5,7,9, 11,14
A		12,13
Y	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 13, 30. November 1999 (1999-11-30) -& JP 11 233723 A (SONY CORP), 27. August 1999 (1999-08-27) Zusammenfassung Absatz '0010! - Absatz '0011! Absatz '0018! - Absatz '0020!; Abbildungen 1,5	8,10,15, 16,21

	-/--	

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Bez. Anspruch Nr.
A	EP 0 800 217 A (IBM) 8. Oktober 1997 (1997-10-08) in der Anmeldung erwähnt Spalte 1, Zeile 3 - Zeile 16 Spalte 1, Zeile 26 - Zeile 31 Spalte 2, Zeile 5 - Zeile 26 Spalte 3, Zeile 3 - Spalte 4, Zeile 51; Abbildungen 1-5 Spalte 5, Zeile 39 - Zeile 46 -----	1-7, 9-14, 17-20

INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 02/13804

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6166423	A	26-12-2000	US	6025226 A	15-02-2000
JP 2000228497	A	15-08-2000	KR	2000055260 A	05-09-2000
			JP	3141887 B2	07-03-2001
US 5674771	A	07-10-1997	JP	2704575 B2	26-01-1998
			JP	5299581 A	12-11-1993
			JP	2707017 B2	28-01-1998
			JP	5299582 A	12-11-1993
			JP	2704576 B2	26-01-1998
			JP	5299583 A	12-11-1993
US 5918135	A	29-06-1999	KR	267087 B1	02-10-2000
			JP	10209375 A	07-08-1998
JP 11233723 7	A		KEINE		
EP 0800217	A	08-10-1997	US	5926359 A	20-07-1999
			DE	69712968 D1	11-07-2002
			DE	69712968 T2	16-01-2003
			EP	0800217 A1	08-10-1997
			JP	3371400 B2	27-01-2003
			JP	10012819 A	16-01-1998
			KR	229578 B1	15-11-1999
			TW	385513 B	21-03-2000